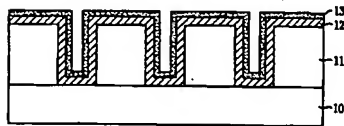


Publication No	10-2003-0001068		
Publication Date	2003-01-06		
Application No	10-2001-0037398		
Application Date	2001-06-28		
Agent	SHINSUNG PATENT FIRM	Inventor	U-Sik Min
Applicant	Hynix Semiconductor Inc.		
Examination	Not Requested		
Title of Invention	A METHOD FOR FORMING DAMASCENE METAL WIRE USING COPPER		

**Abstract**

PURPOSE: A metal interconnection formation method using damascene processing is provided to improve resistivity of a copper diffusion barrier layer by using a tantalum film having alpha-Ta phase as the diffusion barrier layer.

CONSTITUTION: After forming an interlayer dielectric(11) on a substrate(10), a damascene pattern is formed by selectively etching the interlayer dielectric(11). A tantalum film(12) having alpha-Ta phase as the diffusion barrier layer is formed by using a PVD(Physical Vapor Deposition) at the temperature of 250-500 degrees C. Then, a copper seed layer(13) is formed on the resultant structure. A copper film is filled into the damascene pattern.



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/28

(11) 공개번호 특2003-0001068
(43) 공개일자 2003년01월06일

(21) 출원번호 10-2001-0037398
(22) 출원일자 2001년06월28일
(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 마미리 산136-1
(72) 발명자 민우석
경기도이천시중포동94-3신한아파트109-1201
(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 구리를 사용한 대머신 금속배선 형성 방법

요약

본 발명은 반도체 기술에 관한 것으로, 특히 반도체 소자 제조 공정 중 금속 배선 공정에 관한 것이며, 더 자세히는 구리를 사용한 대머신(damascene) 금속배선 형성 공정에 관한 것이다. 본 발명은 구리확산방지막의 비저항 특성을 확보할 수 있는 구리를 사용한 대머신 금속배선 형성방법을 제공하는데 그 목적이 있다. 본 발명은 구리확산방지막으로 Ta막을 사용하되, 고온(250~500℃)에서 비저항 값이 낮은 α -Ta막으로 증착하여 사용한다. TaN막의 경우는 화학양론(stoichiometry)에 따라 비저항값이 변화하지만, 순수한 Ta막은 β -Ta의 경우는 $180 \sim 200 \mu\Omega \cdot \text{cm}$, α -Ta의 경우는 $20 \sim 30 \mu\Omega \cdot \text{cm}$ 와 같이 상(phase)에 따라 비저항값이 다르게 나타난다. 한편, 구리 확산에 대한 Ta막의 배리어 특성을 보다 강화하기 위하여 Ta막 상부 또는 하부에 TaN막을 더 적용할 수 있다.

도면

도2

색인어

대머신 금속배선, 구리, 구리확산방지막, 탄탈륨막, 비저항

영세서

도면의 간단한 설명

도 1 내지 도 4는 본 발명의 일 실시예에 따른 구리를 사용한 싱글 대머신 금속배선 형성 공정도.

* 도면의 주요 부분에 대한 부호의 설명

- 10 : 기판
- 11 : 통간절연막
- 12 : Ta막
- 13 : 구리 씨드층
- 14 : 구리막

발명의 상세한 설명

발명의 목적

본명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기술에 관한 것으로, 특히 반도체 소자 제조 공정 중 금속 배선 공정에 관한 것이며, 더 자세히는 구리를 사용한 대머신(damascene) 금속배선 형성 공정에 관한 것이다.

금속 콘택 형성 공정은 다층화된 반도체 소자를 제조하기 위해서는 필수적으로 도입되는 기술로, 상/하부 전도층 간의 수직배선의 근간이 된다. 한편, 반도체 소자의 고집적화에 따른 디자인 룰(design rule)의 축소에 따라 콘택홀의 에스펙트 비(aspect ratio)는 점차 증가하고 있으며, 이에 따라 금속 콘택 형성 공정의 난이도와 중요성이 증대되고 있다.

알루미늄(Al)은 콘택, 매립, 특성이 우수하지 못함에도 불구하고 비저항이 $2.7 \mu\Omega \cdot \text{cm}$ 정도로 낮고 공정이 비교적 용이하기 때문에 금속 배선 물질로서 가장 널리 사용되어 왔다. 그러나, 디자인 룰이 $0.25 \mu\text{m}$ 급으로 축소되면서 스텝 커버리지(step coverage)가 열악한 물리기상증착(Physical Vapor Deposition, PVD) 방식의 알루미늄 증착을 통해 충분한 콘택 매립을 이룰 수 없고, 일렉트로마이그레이션(electromigration) 특성 등에 의해 열화되는 문제점이 있었다.

이러한 알루미늄 금속배선의 한계를 고려하여 알루미늄에 비해 콘택 매립 특성이 우수한 구리를 금속배선 재료로 사용하는 기술에 대한 관심이 높아지고 있다. 통상적으로 구리를 사용하여 금속배선을 형성할 때 화학기상증착법(CVD)을 사용하고 있다.

그런데, 구리는 식각 특성이 매우 불리한 단점을 가지고 있어 일반적인 금속배선 형성 공정에 적용하기 어렵다. 즉, 고단차비를 가지는 금속배선의 형성시 금속배선의 CD 균일도(critical dimension uniformity), 라인 식각 프로파일(line etch profile) 및 포토레지스트의 식각 선택비 등에서 만족할만한 결과를 얻기 힘들다. 이러한 구리의 단점을 극복하기 위하여 대머신 금속배선 공정이 사용되고 있다.

물상적인 대머신 금속배선 공정은 충전절연막에 라인을 트렌치 및 콘택홀을 형성하고, 배리어 금속과 구리를 증착한 후 화학적·기계적 평탄화(chemical mechanical planarization, CMP) 기술을 이용하여 충전 절연막 상부에 있는 배리어 금속 및 배선 금속을 제거하는 과정을 거치고 있다.

그러나, 이와 같이 대머신 공정을 적용하는 경우에도 문제점은 있다. 즉, 금속배선간의 피치가 작아짐에 따라 RC-지연이 증가하는 문제점이 발생한다. 이러한 대머신 타입의 금속배선의 RC-지연을 줄이기 위한 하나의 방법으로 저유전율 절연막을 사용하고 있다.

한편, 구리(Cu)는 알루미늄(Al)과 달리 충전절연막(주로, SiO_2)을 통해 확산이 일어나며, 충전절연막을 통과하여 기판쪽으로 이동한 구리는 실리콘 내에서 딥 레벨 불순물(deep level dopant)로 작용하며 Si의 포비든 밴드(forbidden band) 내에 여러 개의 억셉터(acceptor)와 도우너(donor) 레벨을 형성시킨다. 이러한 딥 레벨 도펀트는 생성-재결합(generation-recombination)의 소오스로 작용하여 누설 전류를 유발시킨다. 따라서, 구리를 배선공정에 도입하려면 이중 금속과 접촉하는 부분은 불순미고 충전절연막으로 이루어진 측벽 부분에도 구리 확산방지막(Cu diffusion barrier)을 필수적으로 사용해야 한다.

최근, 구리 확산방지막으로 이산화 물리기상증착(Ionised PVD)법으로 증착한 TaN(정확히게는, TaN)막을 사용하고 있다. TaN은 TiN과 같은 전이금속계 합금물로서 열적으로 매우 안정한 반면, TaN의 경우 $180 \sim 200 \mu\Omega \cdot \text{cm}$ 로 비저항 값이 높은 문제점이 있다.

본명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 구리 확산방지막의 비저항 특성을 확보할 수 있는 구리를 사용한 대머신 금속배선 형성방법을 제공하는데 그 목적이 있다.

본명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 구리를 사용한 대머신 금속배선 형성 방법에 있어서, 구리 확산방지막으로서 대부분이 α -Ta의 상(phase)을 가지는 탄탈륨막을 사용하는 구리를 사용한 대머신 금속배선 형성방법이 제공된다.

또한, 본 발명의 다른 측면에 따르면, 소정의 하부층 공정을 마친 기판 상에 형성된 충전절연막을 식각하여 대머신 패턴을 형성하는 제1 단계; 상기 제1 단계를 마친 전체 구조 표면을 따라, $250 \sim 500^\circ\text{C}$ 의 온도에서 물리기상증착법으로 증착된 탄탈륨막을 포함하는 구리 확산방지막을 형성하는 제2 단계; 상기 제2 단계를 마친 전체 구조 표면에 구리 씨드층을 형성하는 제3 단계; 및 상기 대머신 패턴 내에 구리막을 매립하는 제4 단계를 포함하는 구리를 사용한 대머신 금속배선 형성방법이 제공된다.

본 발명은 구리 확산방지막으로 Ta막을 사용하되, 고온($250 \sim 500^\circ\text{C}$)에서 비저항 값이 낮은 α -Ta막으로 증착하여 사용한다. TaN막의 경우는 화학양론(stoichiometry)에 따라 비저항값이 변화하지만, 순순한 Ta막은 β -Ta의 경우는 $180 \sim 200 \mu\Omega \cdot \text{cm}$, α -Ta의 경우는 $20 \sim 30 \mu\Omega \cdot \text{cm}$ 와 같이 상(phase)에 따라 비저항값이 다르게 나타난다. 한편, 구리 확산에 대한 Ta막의 배리어 특성을 보다 강화하기 위하여 Ta막 상부 또는 하부에 TaN막을 더 적용할 수 있다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 1 내지 도 4는 본 발명의 일 실시예에 따른 구리를 사용한 싱글 대머신 금속배선 형성 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.

우선, 도 1에 도시된 바와 같이 소정의 하부층 공정을 마친 기판(10) 상에 형성된 층간절연막(11)을 선택적으로 식각하여 대머신 패턴을 형성한다.

다음으로, 도 2에 도시된 바와 같이 전체 구조 표면을 따라 구리확산방지막으로서 50~500Å 두께의 Ta막(12)을 증착한다. 이때, Ta막(12)은, PVD법으로 증착하며, 250~500°C의 고온에서 증착하여 대부분이 α -Ta의 상(phase)을 가지도록 한다. 한편, Ta막(12)의 하부 또는 상부에 50~500Å 두께의 TaN막(도시되지 않음)을 더 증착하는 것이 바람직하며, 이때 TaN막의 질소(N) 함량은 5~40at%가 되도록 한다.

이어서, 도 3에 도시된 바와 같이 무전해도금법 또는 화학기상증착(CVD)법을 이용하여 전체 구조 표면을 따라 구리 씨드층(13)을 형성한다.

다음으로, 도 4에 도시된 바와 같이 전해도금법으로 대머신 패턴 내에 구리막(14)을 매립하고 화학적 기계적 연삭(CMP) 공정을 실시하여 금속배선을 디파인한다.

상기와 같은 공정을 실시하는 경우, 비저항 값이 20~30 $\mu\Omega\cdot\text{cm}$ 로 매우 낮은 구리확산방지막을 얻을 수 있다. 한편, 구리 씨드층 형성시 기존의 PVD법 대신 무전해도금법 또는 화학기상증착(CVD)법을 이용하는 데, 이는 이전 공정의 구리확산방지막 증착시 고온 공정을 이용하기 때문에 PVD법으로 구리 씨드층을 형성하면 Cu의 응집(agglomeration)을 피할 수 없기 때문이다. 즉, 무전해도금법이나 CVD법은 구리확산방지막 증착 후 웨이퍼를 전공 챔버에서 꺼내어 따로 진행하기 때문에 Cu의 응집을 억제할 필요가 없으며, CVD법의 경우 150°C 이상의 웨이퍼 온도에서 수행하므로 프리-히팅(pre-heating) 시간을 최소화할 수 있는 장점이 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

예컨대, 전술한 실시예에서는 싱글 대머신 공정을 일례로 들어 설명하였으나, 본 발명은 듀얼 대머신 공정시 구리확산방지막으로 실라코카바이드막을 사용하는 경우에도 적용된다.

발명의 효과

전술한 본 발명은 구리를 사용한 대머신 공정시 비저항 값이 낮은 α -Ta의 상을 가지는 Ta막을 구리확산방지막으로 사용함으로써 기존의 TaNx에 비해 콘택 저항을 1/10 정도로 줄일 수 있는 효과가 있으며, 이로 인하여 구리배선의 신뢰도를 높일 수 있다.

(57) 청구의 범위

청구항 1

구리를 사용한 대머신 금속배선 형성방법에 있어서,

구리확산방지막으로서 대부분이 α -Ta의 상(phase)을 가지는 탄탈륨막을 사용하는 구리를 사용한 대머신 금속배선 형성방법.

청구항 2

소정의 하부층 공정을 마친 기판 상에 형성된 층간절연막을 식각하여 대머신 패턴을 형성하는 제1 단계;

상기 제1 단계를 마친 전체 구조 표면을 따라, 250~500°C의 온도에서 물리기상증착법으로 증착된 탄탈륨막을 포함하는 구리확산방지막을 형성하는 제2 단계;

상기 제2 단계를 마친 전체 구조 표면에 구리 씨드층을 형성하는 제3 단계; 및

상기 대머신 패턴 내에 구리막을 매립하는 제4 단계

를 포함하는 구리를 사용한 대머신 금속배선 형성방법.

청구항 3

제2항에 있어서,

제2 단계는,

상기 제1 단계를 마친 전체 구조 표면을 따라 TaN막을 형성하는 제5 단계와,

상기 TaN막 상에 상기 탄탈륨막을 형성하는 제6 단계를 포함하는 것을 특징으로 하는 구리를 사용한 대머신 금속배선 형성방법.

청구항 4

제2항에 있어서,

상기 제2 단계는,

상기 제1 단계를 마친 전체 구조 표면을 따라 상기 탄탈륨막을 형성하는 제5 단계와,

상기 탄탈륨막 상에 TaN막을 형성하는 제6 단계를 포함하는 것을 특징으로 하는 구리를 사용한 대머신 금속배선 형성방법.

청구항 5

제3항 또는 제4항에 있어서,

상기 탄탈륨막은 50~500 Å 두께인 것을 특징으로 하는 구리를 사용한 대머신 금속배선 형성방법.

청구항 6

제5항에 있어서,

상기 TaN막은 50~500 Å 두께인 것을 특징으로 하는 구리를 사용한 대머신 금속배선 형성방법.

청구항 7

제3항 또는 제4항에 있어서,

상기 TaN막은 질소(N) 함량이 5~40at%인 것을 특징으로 하는 구리를 사용한 대머신 금속배선 형성방법.

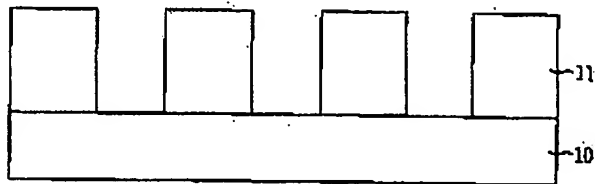
청구항 8

제3항 또는 제4항에 있어서,

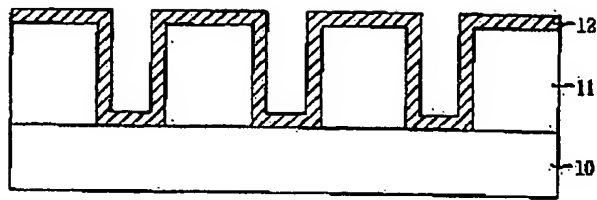
상기 구리 씨드층은 무전해도금법 또는 화학기상증착법으로 증착하는 것을 특징으로 하는 구리를 사용한 대머신 금속배선 형성방법.

도면

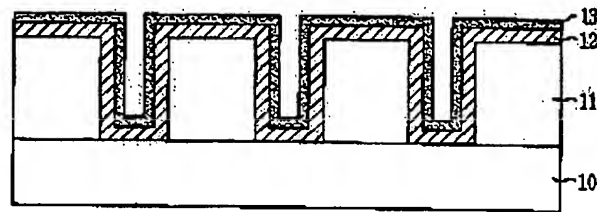
도면1



도면2



도면3



도면4

